

PAT-NO: JP359043556A  
DOCUMENT-IDENTIFIER: JP 59043556 A  
TITLE: FORMING METHOD FOR END SURFACE ELECTRODE  
PUBN-DATE: March 10, 1984

INVENTOR-INFORMATION:

NAME

SAWAIRI, KIYOSHI

ARISUE, KAZUO

SASAKI, SHUNSUKE

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP57154083

APPL-DATE: September 3, 1982

INT-CL (IPC): H01L023/12, H01L023/48

US-CL-CURRENT: 29/827, 257/E23.124

ABSTRACT:

PURPOSE: To prevent moisture from infiltrating from a common terminal by coating conductive paste which couples the lead of the common terminal on the end surface, making the paste to creep the upper and lower surfaces of a flat package to form end electrodes, thereby enabling to mount in a stereoscopic structure.

CONSTITUTION: An electronic part such as IC chip 3 or the like is connected, by bondings 6, 7 to the common terminal 5 of a metal plate via wirings 4, molded at the lead 5a of the terminal 5 in the state led to the end surface,

and a flat package 8 is composed. Conductive paste is coated to couple the end electrodes 9 to the lead 5a of the terminal 5, and the passage is crept not only to the end surface but to the upper and lower surfaces of the package 8. Thereafter, conductors 10, 11 are formed, for example, on the upper surface electrode 9a of the prescribed electrode 9, and a resistor 12 is printed therebetween.

COPYRIGHT: (C)1984,JPO&Japio

PAT-NO: JP359027549A  
DOCUMENT-IDENTIFIER: JP 59027549 A  
TITLE: SEMICONDUCTOR DEVICE  
PUBN-DATE: February 14, 1984

INVENTOR-INFORMATION:  
NAME  
MORIKURI, AKIRA  
SUGINO, EITARO

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
TOSHIBA CORP N/A

APPL-NO: JP57135412  
APPL-DATE: August 3, 1982

INT-CL (IPC): H01L023/12, H01L023/48  
US-CL-CURRENT: 257/784, 257/E23.031 , 257/E23.047

ABSTRACT:

PURPOSE: To provide a semiconductor device having a compact package simply handled by providing an enclosure for protecting a semiconductor pellet, bonding fine wirings, inner leads and joint leads, exposing part of outer leads to become electrode surface and securing at least one surface of other surfaces to the enclosure.

CONSTITUTION: The electrode surface of outer leads 22 is buried on the same surface as the bottom of an enclosure 21 in one row on the bottom surface of the enclosure 21. A semiconductor pellet 32 placed on a mount 31 is connected via fine wirings 33 to inner leads 34. Joint leads 35 are formed to

lead the  
leads 34 to outer leads 22. Then, a mount 31, a semiconductor pellet  
32,  
bonding fine wirings 33, inner leads 34 and joint leads 35 are  
covered with the  
enclosure 21 and protected.

COPYRIGHT: (C)1984,JPO&Japio

## ⑫ 公開特許公報 (A)

昭59—43556

⑪ Int. Cl.<sup>3</sup>  
H 01 L 23/12  
23/48

識別記号

庁内整理番号  
7357—5F  
7357—5F

⑬ 公開 昭和59年(1984)3月10日

発明の数 1  
審査請求 未請求

(全 3 頁)

## ⑭ 端面電極形成方法

門真市大字門真1006番地松下電  
器産業株式会社内

⑯ 特 願 昭57—154083

⑰ 発 明 者 佐々木駿介

⑱ 出 願 昭57(1982)9月3日

門真市大字門真1006番地松下電  
器産業株式会社内

⑲ 発 明 者 澤入精

⑳ 出 願 人 松下電器産業株式会社

門真市大字門真1006番地松下電  
器産業株式会社内

門真市大字門真1006番地

㉑ 発 明 者 有末一夫

㉒ 代 理 人 弁理士 森本義弘

## 明 細 書

## 1 発明の名称

端面電極形成方法

## 2 特許請求の範囲

1 金属板にてコモン端子を形成してモノリシック集積回路チップや他の電子部品等を前記コモン端子に接続し、前記コモン端子を外部に導出する引出し部を端面に残した状態で全体をパッケージングしてフラットパッケージを形成し、前記コモン端子の引出し部に結合する導電ペーストを端面に塗布するとともに導電ペーストをフラットパッケージの上下面の少なくとも一方にまで廻し込んで塗布して端面電極を形成する端面電極形成方法。

2 導電ペーストは軸体の全周面に付けられた成、該軸体を必要な端子引出し箇所にて接続することにより塗布することを特徴とする特許請求の範囲第1項記載の端面電極形成方法。

## 3 発明の詳細な説明

## 産業上の利用分野

本発明は半導体集積回路に用いられるフラットパッケージの端面電極の形成方法に関する。

## 従来例の構成とその問題点

半導体集積回路の実装形態は技術革新とともに小型軽量化の一途をたどっている。しかし、それは他の回路との結線が簡便に行なわれるものでなければならぬことは言うまでもない。さらにこの他の回路との接続は、平面に展開した結線構成と立体に展開した結線構成とでなければならないが、現状技術は平面方向に展開する方式ばかりであり、立体構造への指向をせねば装置の小型化は達成しがたい。

第1図は従来例を示し、(1)は内部にICチップ部品や他の電子部品を収納してモールド成型したフラットパッケージで、その端面電極(2)は42アロイ(42% Ni, 58% Fe)材等の金属板薄片を端面に導出して形成されている。この場合下部に印刷配線基板を設けて前記端面電極(2)に半田付けすれば、平面的な結線をなすことが可能であるが、平面構造だけでは高密度実装をすることに限界があり、

装置の小型化に貢献となり、本都合であつた。

#### 発明の目的

本発明は、フラットパッケージの端面に引出されたコモン端子の引出し部に確実な結合されてフラットパッケージ内のコモン端子に水分が侵入する恐れのない、しかも立体構造の実装が可能となる端面電極形成方法を提供することを目的とするものである。

#### 発明の構成

上記目的を達成するために、本発明は、金属板にてコモン端子を形成してモノリシック集積回路チップや他の電子部品等を前記コモン端子に接続し、前記コモン端子を外部に導出する引出し部を端面に残した状態で全体をパッケージングしてフラットパッケージを形成し、前記コモン端子の引出し部に結合する導電ペーストを端面に塗布するとともに、導電ペーストをフラットパッケージの上下面の少なくとも一方にまで塗り込んで塗布して端面電極を形成する構成にしたものである。

#### 実施例の説明

のペーストやカーボンレジン材で形成する。

第4図は他の実施例を示し、コモン端子(5)の引出し部を端面で折り曲げ、この部分(5b)の上に導電ペーストを塗布して端面電極(9)を形成したものである。こうすることによりコモン端子(5)と端面電極(9)との接続が、より確実で容易となり、導電ペーストが固まるとコモン端子(5)の折り曲げ部分(5b)は固定化され、寸法精度が高くなり、ショートの可能性は激減する。

第5図はさらに他の実施例を示し、コモン端子(5)の引出し部を端面で上下に振り分けて折り曲げ、この部分(5c)(5d)の上に導電ペーストを塗布して接続固定している。

第6図は導電ペーストを塗布する手段を示す。4は輪体で、左右に回転する。4は該輪体4を上移動させるガイド棒である。4は導電ペースト9を収納した容器で、輪体4は導電ペースト9の表面で回転してこれを全周面に付けした後、持ち上げられ、必要な端子引出し箇所では接回転せしめられ塗布され、さらにフラットパッケージ(1)を左右

以下本発明の一実施例を図面に基づいて説明する。第2図は本発明による完成図を示し、第3図はその要部断面図を示す。ICチップ(3)等の電子部品はワイヤー(4)により金属板のコモン端子(5)にボンディング(6)(7)接続され、これらは、前記コモン端子(5)の引出し部(5a)が端面に引出された状態でモールド成型され、フラットパッケージ(8)が構成されている。端面電極(9)は前記コモン端子(5)の引出し部(5a)に結合するように導電ペーストを塗布して形成され、しかも前記導電ペーストはフラットパッケージ(8)の端面のみならず上面と下面にまで塗り込むようにして塗布されて形成される。その後所定端面電極(9)の例えば上面電極部分(9a)に導体(10)を形成し、その間に抵抗体(11)を印刷形成する。

この場合、内部に実装している部品の耐熱温度内で、導体(10)や抵抗体(11)を形成する必要があるが、これらは最近の公知技術材料により十分に対応する事が可能である。例えば導体や抵抗材を粉末にして吹きつけたり、メッキしたり、低温焼成

移動させることにより端面電極(9)はフラットパッケージ(1)の上下面に塗り込んで形成される。スクリーンを用いて端面電極を印刷する従来の形成方法では、コモン端子の引出し部でスクリーンを破る恐れがあるが、上記方法ではこのような心配はなくなり、安全、確実な塗布できる導電ペーストにより端面電極が容易に形成される。

#### 発明の効果

以上本発明によれば、立体構造の実装が可能であるとともに、わずかなギャップにもペーストが入り込むため、コモン端子部よりの水分の侵入を防止でき、さらにスクリーン印刷法よりも安価に形成できる利点を有する。

#### 4 図面の簡単な説明

第1図は従来例を示す斜視図、第2図は本発明による完成品の斜視図、第3図は要部断面図、第4図、第5図はそれぞれ他の実施例を示す要部断面図、第6図は導電ペースト塗布方法の一例を示す説明図である。

(5) … コモン端子、(5a)(5b)(5c)(5d) … コモン端

